

基于电流源拆分均衡布局的 14 bit 200 MS/s 电流舵 DAC 设计

戴 澜¹, 江礼阳¹ 韩小娟²

(1 北方工业大学 电子信息工程学院微电子系, 北京 100144; 2 渤海石油职业学院, 河北 任丘 062550)

摘 要: 对一种高性能的 14 bit 200 MHz 电流舵型数模转换器进行设计. 对电流舵 DAC 主要误差进行分析建模, 并以此为依据结合工艺特性计算电流源单元晶体管大小; 采用一种新型限幅电路减少输出毛刺; 对输出电流源单元和开关阵列采用 Q^2 Random Walk 布局减少工艺误差, 最后采用 SMIC 0.18 μm 混合 CMOS 工艺对芯片进行实现. 采用 3.3 V/1.8 V 供电, 输入信号频率为 1 MHz 和 20 MHz, 采样频率为 200 MHz 时, SFDR 后仿真结果分别为 100.1 dB, 88.3 dB.

关键词: 数模转换器; 毛刺; 时钟馈通; 电流源阵列

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)11-0060-04

Design of 14-bit 200 MS/s Current-Steering DAC Based on Split and Symmetrical Layout of Current Sources

DAI Lan¹, JIANG Li-yang¹, HAN Xiao-juan²

(1 Department of Microelectronics, College of Electronic and Information Engineering, North China University of Technology, Beijing 100144, China; 2 Bohai Petroleum Vocational College, Renqiu 062550, China)

Abstract: In this paper it proposes a high performance 14-bit 200 Ms/s current-steering DAC. It analyses the non-ideal factors and models the proposal DAC based on Verilog-A, adopts a swing limited circuit to process the control signal of current source switches, and introduces a split and symmetrical layout of current sources scheme to reduce the process error in fabrication. At last, it is fabricated with SMIC 0.18 μm Mixed-Signal CMOS technology. With 3.3 V/1.8 V power supply, the SFDR in the post simulation results of this DAC are 100.1 dB and 88.3 dB respectively under the condition of 1 MHz and 20 MHz input signal and 200 MHz sample clock.

Key words: digital-to-analog converter; glitch; clock feed-through; current sources array

1 引言

SOC(system-on-chip)趋向于将数字电路和模拟电路集成到同一个芯片上,因此作为数字电路与模拟电路之间的接口电路——数据转换器更加受到电路设计者的重视. 电流舵 DAC 作为电流驱动型的一种,以其固有的优秀性能备受设计者们的青睐,但是工艺偏差等非理想性制约了其性能.

本文对电流舵 DAC 的基本构架进行阐述,并对理想电流舵 DAC 进行非理想因素建模与分析;然后介绍各个模块关键电路单元的设计,最后提出一种改进的电流源拆分均衡算法对电流源进行布

局,并得到所有寄生参数提取后的后仿真结果和分析.

2 整体架构

电流舵 DAC 是依据输入数字码通过对电流源进行选通得到输出电流. 输入为数字码,经过开关控制模块的处理之后产生开关控制信号 $B_0, B_1, B_2 \cdots B_N$ 来控制权电流的输出;数字码最终转换成模拟量的权电流和:

$$I_{\text{out}} = (B_0 + B_1 \cdot 2 + B_2 \cdot 2^2 + \cdots + B_N 2^N) I = I \sum_{i=0}^N B_i 2^i \quad (1)$$

本文选用混合编码方式,即低 5 位采用二进制码,中间 4 位和高 5 位采用温度计码的编码方式.整体结构如图 1 所示.输入为数字信号,经过寄存单元同步后进入延时编码单元,低 5 位延时,高 9 位进行二进制转温度计编码;编码后的信号进入延时和逻辑选择单元对电流源进行选择;选择信号通过限幅和开关驱动电路处理后,用于驱动开关阵列控制电流源的选通.电流源偏置模块用于提供稳定的电压以产生输出电流.

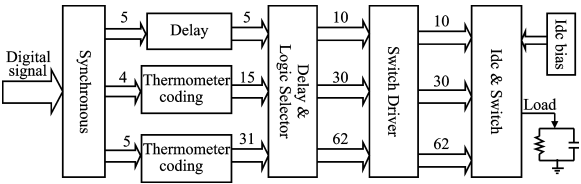


图 1 电流舵 DAC 实现方式

3 Verilog-A 建模

电流舵 DAC 的主要误差来源为工艺误差引起的电流源单元失配,从而使得电流源单元之间电流大小不能严格地成比例,造成转换器的性能误差,因此在设计中对电流舵 DAC 建模,考察误差影响情况,可以指导电路设计,优化电流源单元的设计参数.在设计中对 14 bit 电流舵 DAC 进行了基于 Verilog-A 的电路行为建模;为研究电流源失配对整体 DAC 性能的影响,对每一位电流源都加上 1% 的随机电流源失配噪声.模型的最终仿真结果如图 2 所示,对于理想模型,SFDR 能达到 107.8 dB,在各个电流源单元加入 1% 随机噪声的情况下,SFDR 下降到 86.9 dB.在设计中,根据所需的 SFDR 情况可以确定电流源单元必须保证的失配情况,然后可以估算电流源单元晶体管的大致尺寸.

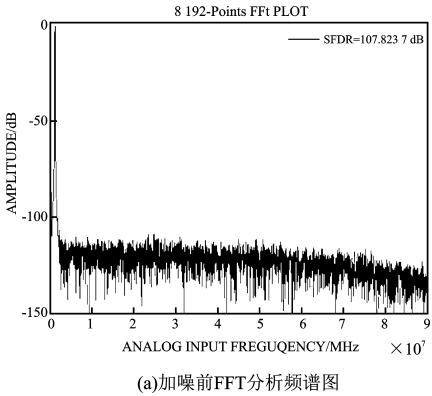
4 关键技术

本设计中主要对限幅电路和电流源阵列和开关阵列的版图布局方法进行研究,其中前者可以将控制开关的控制信号变化幅度降低,从而减少开关所产生的毛刺,后者主要减小工艺误差造成的电流源开关失配.

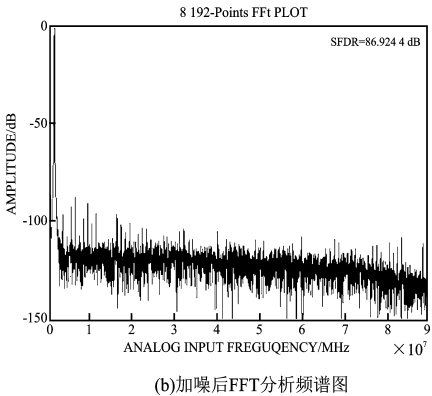
4.1 限幅电路

对于高速的电流舵 DAC 来说,电流源开关产生的时钟馈通给输出信号带来很大的开关毛刺,时钟馈通是由电流源开关管的栅-漏电容所导致的,直接影响输出信号的毛刺能量.毛刺的幅度为

$$\Delta V(n) \approx \frac{1}{1 + \frac{C_L}{C_{gd}}} \cdot \Delta V_G \quad (2)$$



(a)加噪前FFT分析频谱图



(b)加噪后FFT分析频谱图

图 2 Verilog-A 模型仿真

式中, G 是开关控制电压的摆幅; C_{gd} 为开关管的栅-漏电容; C_L 为 DAC 输出负载电容,由上式可知:毛刺幅度与开关控制信号摆幅成正比,与开关的尺寸成反比.因此设计一种降低开关控制信号摆幅的限幅电路很有意义,采用的限幅电路如图 3 所示.通过 M_1 和 M_7 的宽长比来调节输出信号的上升时间和下降时间,进而降低差分信号的交叉点位置,实现电流源开关管不会出现同时开启和关闭的情况出现.然而 M_3 , M_9 和 M_{10} 共同完成限幅过程:当 $IN+$ 输入为 1 时 M_7 导通,输出 $OUT+$ 为 0;当 $IN+$ 输入为 0 时, M_7 截止,输出为 M_7 的漏极电压,而 M_7 的漏极电压通过 M_3 的分压, M_9 和 M_{10} 通过输出电压 $OUT+$ 反馈到 M_3 来控制 M_3 和 M_7 的分压,因此输出高电平降低,从而降低了输出电压摆幅.

同时,在开关管的输出线路上增加一个由控制的“虚拟”开关来减少时钟馈通,如图 4 所示.

当 M_1 断开后 M_2 导通,前者沉积在 C_H 上的沟道电荷被后者吸收以建立后者的沟道(M_2 的源极、漏极和 C_H 的非接地端都接在输出节点上).假设 M_1 所需要释放的电荷为

$$\Delta q_1 = W_1 L_1 C_{OX} (V_{CK} - V_{in} - V_{TH1}) \quad (3)$$

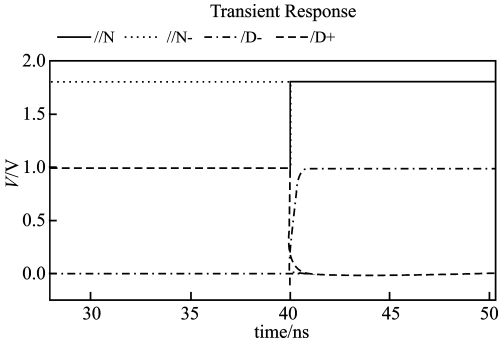
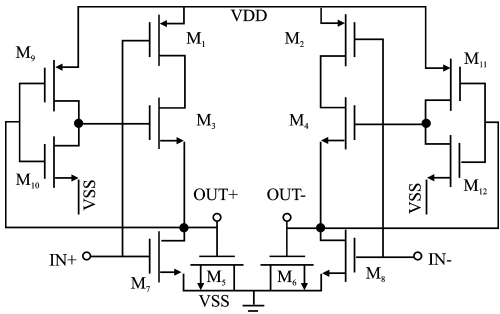


图 3 限幅电路与仿真结果

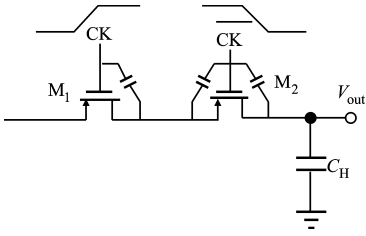


图 4 电流源开关的时钟馈通

若 M_2 将 M_1 所有释放的电荷全部吸收那么 M_2 的宽和长需要满足下式:

$$\Delta q_2 = \frac{\Delta q_1}{2} = \frac{W_1 L_1 C_{OX}}{2} (V_{CK} - V_{in} - V_{TH1}) =$$

$$W_2 L_2 C_{OX} (V_{CK} - V_{in} - V_{TH2}) \tag{4}$$

当 M_2 的宽正好是 M_1 的一半时,开关管的馈通效应能够被抑制.

4.2 版图布局方案

高速电流舵 DAC 的设计中,电流源和开关阵列的版图布局对 DAC 性能的影响非常大,合适的布局可以降低随机误差、边沿效应、互连线上的压降、梯度误差等引起的误差.

为减小版图失配对 DAC 性能的影响,本芯片在中 4 位和高 5 位电流源的版图布局上,根据 Q^2 Random Walk 算法使用了一种改进的方法进行布局.图 5 所示为高 5 位的电流源布局方式.将 32 个电流源(31 个电流源和一个 dummy)中的每一个都分成 16 个相等的电流源即 $1a \sim 1p, 2a \sim 2p, \dots, 32a \sim 32p$,共 16×32 个电流源.将 $1a \sim 32a, 2b \sim 32b, \dots, 1p \sim 32p$ 分别放入图 5(a)中的 16 个模块,1~16 分别代表 $a \sim p$ 顺序.图 5(b)中的 32 个电流源位置为图 5(a)中每一个模块里面 $1a \sim 32a$ 的相应位置.本芯片电流源布局在 Q^2 Random Walk 算法的基础上有所改进:与传统的算法相比,图 5(a)中每个模块并不是相同的,利用 Q^2 -R-W 方式随机的方式产生图 5(b)所示的 32 个电流源的位置,再将图 5(b)中 32 个电流源位置按照对称的方式产生另外的 3 个类似的布局图表;将这 4 个不同的图表放入图 5(a)中 4×4 模块的位置,但是保证每行和每列都不会出现同样的模块.这样会在 Q^2 Random Walk 布局算法的基础上,利用对称的原则减少布线电阻的对电流舵性能的影响.具体布局结果如图 5(c)所示.

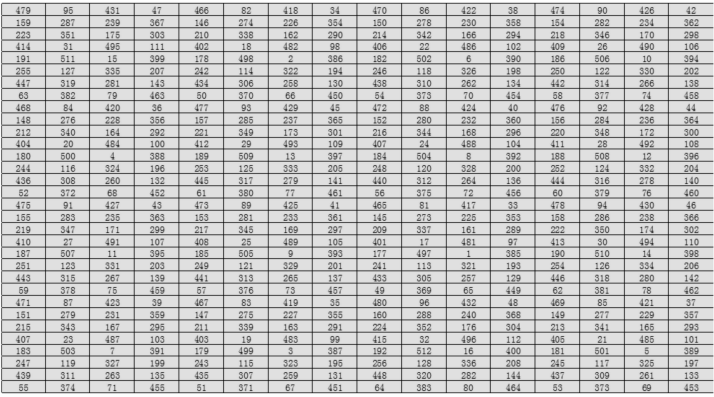
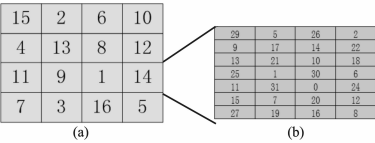


图 5 电流源单元布局

5 芯片版图与后仿真

在采用上述方案的情况下,对电流舵 DAC 进

行版图设计如图 6 所示,在 SMIC 0.18 μm Mixed-Signal CMOS 工艺下进行后仿真:芯片面积为 $0.8\text{ mm} \times 0.8\text{ mm}$;功耗为 81 mW;满量程输出为 20

mA,输出摆幅为.

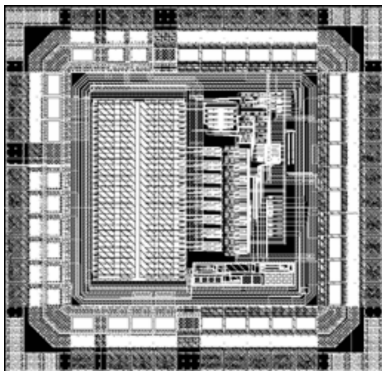


图 6 芯片版图

在采样频率为 200 MHz,输入信号为 1 MHz 时,SFDR 达到 100.12 dB(图 7(b));在采样频率不变的情况下,当输入信号频率上升到 20 MHz 时,SFDR 为 88.5 dB(图 7(d));输入信号频率从 1 MHz 变化到 20 MHz 时芯片的 SFDR 变化如图 7(c)所示.

6 结束语

本文基于 SMIC 0.18 μm Mixed-Signal CMOS 工艺设计了一种 14 bit 200 MHz 分段式电流舵 DAC. 在采用新型限幅电路和电流源单元布局方案,模拟部分采用 3.3 V 供电,数字部分采用 1.8 V 供电情况下,Core 的面积只有 0.8 mm $\times$ 0.8 mm. 在输入信号为 1 MHz,采样频率为 200 MHz 情况下,后仿结果无杂散动态范围(SFDR)为 100.1 dB,当输入信号频率提高到 20 MHz, SFDR 仍达到 88.5 dB.

参考文献:

[1] Pelgrom M J M, Duinmaijer A C J, Welbers A P G. Matching Properties of MOS Transistors[J]. IEEE Journal of Solid State Circuits,1989,305(3):624-626.

[2] 王向展,宁宁,徐振涛,等.一种 14 位 400MS/s 分段型电流舵 DAC 设计.微电子学,2014,41(2):199-202.

[3] Van den Bosch A, Borremans M, Vandenbussche J. A 12bit 200 MHz low glitch CMOS D/A converter[C]// proceedings oc the IEEE 1998 Custom Integrated Circuits Conference. [s. l.]; IEEE,1998:249-252.

[4] Takeshi Ueno, Takafumi Yamaji, Tetsuro Itakura. A 1.2-V, 12-bit, 200MSample/s Current-Steering D/A converter in 90-nm CMOS[J]. IEEE Custom Integrated Circuits Conference,2005,90(2):365-371.

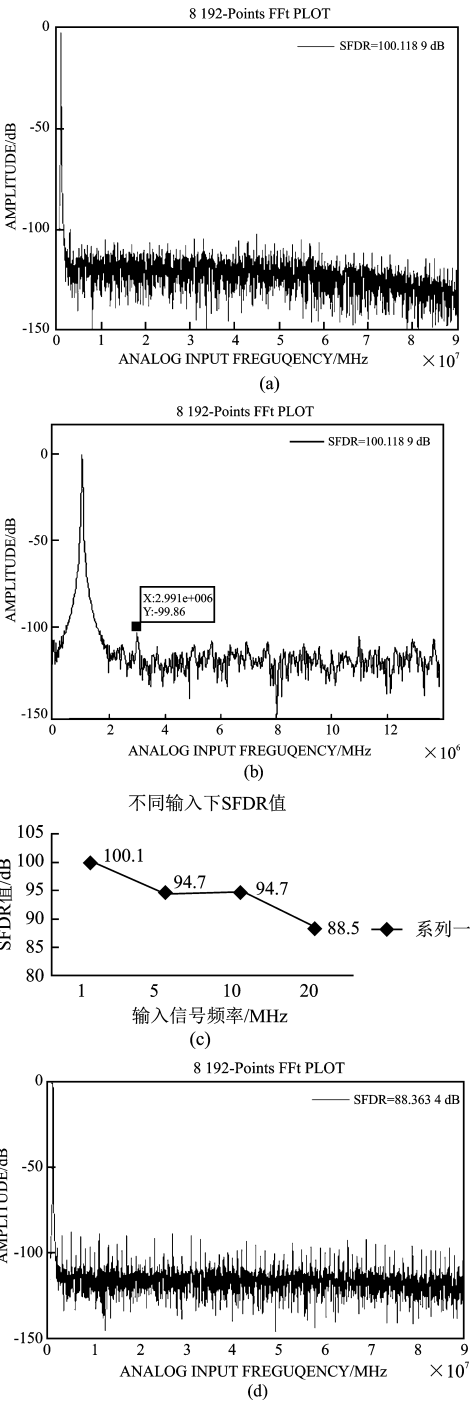


图 7 后仿真结果

作者简介:

戴澜 男,(1975-),副教授.研究方向为大规模集成电路设计. E-mail:dailan@ncut.edu.cn.

江礼阳 男,(1991-),硕士研究生.研究方向为大规模集成电路设计.